

PUB-NO: JP406141542A
DOCUMENT-IDENTIFIER: JP 06141542 A
TITLE: SWITCHING POWER SOURCE CIRCUIT

PUBN-DATE: May 20, 1994

INVENTOR-INFORMATION:

NAME NAKADA, EIJI COUNTRY

ASSIGNEE-INFORMATION:

NAME FANUC LTD COUNTRY

APPL-NO: JP04289995

APPL-DATE: October 28, 1992

INT-CL (IPC): H02M 3/28

ABSTRACT:

PURPOSE: To achieve high-speed switching and reduce loss due to continuity loss in a switching power source circuit of a stabilized power source.

CONSTITUTION: Input terminal T11 is connected to one end of a primary terminal of a transformer TR, the other end of the primary terminal of the transformer TR is connected to the drain side of a field-effect transistor Q1, and source side of the field-effect transistor Q1 is connected to the input terminal T12. A capacitor C is connected to the input terminals T11 and T12 in parallel. An insulation gate bipolar mode transistor Q2 is connected to the other end of the primary terminal of the transformer TR and input terminal T12 in parallel with the field-effect transistor Q1. The collector terminal of the insulation gate bipolar mode transistor Q2 is connected to the other end of the primary terminal of the transformer TR and its emitter terminal is connected to the input terminal T12.

COPYRIGHT: (C)1994, JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-141542

(43)公開日 平成6年(1994)5月20日

(51) Int.Cl.⁵

識別記号 庁内整理番号
S 8726-5H

FI

技術表示箇所

審査請求 未請求 請求項の数 2(全 7 頁)

(21)出願番号 特願平4-289995

(22)出願日 平成4年(1992)10月28日

(71)出願人 390008235

ファンック株式会社

山梨県南都留郡忍野村忍草字古馬場3580番地

(72)発明者 中田 英治

山梨県南都留郡忍野村忍草字
地 ファナック株式会社内

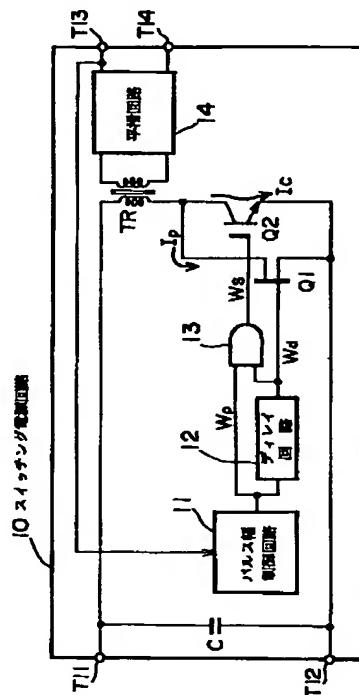
(74)代理人 弁理士 服部 義嚴

(54)【発明の名称】 スイッチング電源回路

(57) 【要約】

【目的】 安定化電源装置のスイッチング電源回路に
関し、高速にスイッチングを行うとともに導通損による損
失を低減する。

【構成】 入力端子T11はトランジスタTRの一次側端子の一端に接続され、トランジスタTRの一次側端子の他端は電界効果トランジスタQ1のドレイン側に接続され、さらに電界効果トランジスタQ1のソース側は入力端子T12に接続される。入力端子T11と入力端子T12との間にはコンデンサCが並列に接続される。トランジスタTRの一次側端子の他端と入力端子T12との間には、電界効果トランジスタQ1に並列して絶縁ゲートバイポーラモードトランジスタQ2が接続される。この絶縁ゲートバイポーラモードトランジスタQ2のコレクタ端子はトランジスタTRの一次側端子の他端に、エミッタ端子は入力端子T12に、それぞれ接続される。



1

【特許請求の範囲】

【請求項1】 直流電圧を PWM (Pulse Width Modulation; パルス幅変調) 信号に従って変圧して出力するスイッチング電源回路において、
PWM信号を出力するパルス幅制御回路と、
前記PWM信号を所定の時間だけ遅延させた遅延信号を出力するディレイ回路と、
前記PWM信号と前記遅延信号との論理積をとり、スイッチング信号として出力する論理積回路と、
前記遅延信号を受けて直流電圧を断続する電界効果トランジスタ (FET; Field Effect Transistor) と、
前記電界効果トランジスタと並列に接続され、前記スイッチング信号を受けて前記直流電圧を断続する絶縁ゲートバイポーラモードトランジスタ (IGBT; Insulated Gate Bipolar mode Transistor) と、
を有することを特徴とするスイッチング電源回路。

【請求項2】 前記ディレイ回路は、前記所定の時間を前記絶縁ゲートバイポーラモードトランジスタのターンオフ遅延時間と下降時間との和であるように構成したことを特徴とする請求項1記載のスイッチング電源回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は安定化電源装置のスイッチング電源回路に関し、特に直流電圧を PWM (Pulse Width Modulation; パルス幅変調) 信号に従って変圧して出力するスイッチング電源回路に関する。

【0002】

【従来の技術】 従来のスイッチング電源回路は、パルス幅制御回路から出力されるPWM信号を受けた1個の電界効果トランジスタ (FET; Field Effect Transistor) によって直流電圧を断続して出力していた。

【0003】 図4は、従来のスイッチング電源回路を示す図である。図において、スイッチング電源回路20は、パルス幅制御回路21、平滑回路22、コンデンサC、電界効果トランジスタQ及びトランジストRによって構成される。なお、パルス幅制御回路21は出力端子T23、T24から出力される出力電圧を監視して、PWM信号Wpを出力する。また、平滑回路22は、例えばダイオード、コイル及びコンデンサからなるチョーク入力型平滑回路である。これらのパルス幅制御回路21及び平滑回路22の具体的な回路構成は従来から知られているので説明を省略する。

【0004】 入力端子T21、T22には電源として、図示されていない直流電源が接続される。この入力端子T21はトランジストRの一次側端子の一端に接続され、トランジストRの一次側端子の他端は電界効果トランジスタQのドレイン (drain) 側に接続され、さらに電界効果トランジスタQのソース (source) 側は入力端子T22に接続され、一つの閉回路を構成している。なお、電界効果トランジスタQのゲート (gate) 側には、PWM

10

20

信号Wpを出力するパルス幅制御回路21が接続されている。

【0005】 また、上記閉回路に並列して、入力端子T21と入力端子T22との間にはコンデンサCが接続されている。そして、トランジストRの二次側端子は平滑回路22の入力側に接続され、平滑回路22の出力側は出力端子T23、T24に接続されている。

【0006】 この回路構成によって、入力端子T21、T22から入力された直流電圧は、パルス幅制御回路21から出力されるPWM信号Wpによって電界効果トランジスタQでスイッチングされる。また、電界効果トランジスタQのスイッチングに従ってトランジストRで入力側の直流電圧が変換され、平滑回路22を介して出力端子T23、T24から直流電圧が输出される。このスイッチングは比較的高速に行われるため、PWM信号Wpによって直流電圧の立ち上がり及び立ち下がりの遷移時に発生する遷移損は比較的小さい。

【0007】

【発明が解決しようとする課題】 しかし、電界効果トランジスタQはドレイン側端子とソース側端子との間のオン抵抗が高いために、その分の直流電圧が降下する導通損が生じていた。このため、電流値を上げると導通損による損失が無視できなくなるという問題点があった。

【0008】 本発明はこのような点に鑑みてなされたものであり、高速にスイッチングを行うとともに導通損による損失を低減するスイッチング電源回路を、提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明では上記課題を解決するために、直流電圧を PWM (Pulse Width Modulation; パルス幅変調) 信号に従って変圧して出力するスイッチング電源回路において、PWM信号を出力するパルス幅制御回路と、前記PWM信号を所定の時間だけ遅延させた遅延信号を出力するディレイ回路と、前記PWM信号と前記遅延信号との論理積をとり、スイッチング信号として出力する論理積回路と、前記遅延信号を受け直直流電圧を断続する電界効果トランジスタ (FET; Field Effect Transistor) と、前記電界効果トランジスタと並列に接続され、前記スイッチング信号を受けて前記直流電圧を断続する絶縁ゲートバイポーラモードトランジスタ (IGBT; Insulated Gate Bipolar mode Transistor) と、を有することを特徴とするスイッチング電源回路が提供される。

【0010】

【作用】 パルス幅制御回路から出力されたPWM信号を受けたディレイ回路は、所定の時間だけ遅延させて遅延信号として出力する。また、論理積回路は、PWM信号と遅延信号との論理積をとり、スイッチング信号として出力する。そして、電界効果トランジスタは遅延信号を受けて直流電圧を断続し、この電界効果トランジスタと

50

3

並列に接続された絶縁ゲートバイポーラモードトランジスタはスイッチング信号を受けて直流電圧を断続する。

【0011】この構成によって、PWM信号がオフからオンへ遷移するときは先に電界効果トランジスタ(FET)がオンし、逆にPWM信号がオンからオフへ遷移するときは先に絶縁ゲートバイポーラモードトランジスタ(IGBT)のゲート電圧が低下するとともにコレクタ電圧が低下した後、電界効果トランジスタがオフする。

【0012】この絶縁ゲートバイポーラモードトランジスタはBJT(Bipolar Junction Transistor)と同じく飽和電圧が低く、スイッチング速度が遅い。このため、電界効果トランジスタと組み合わせることによって、電界効果トランジスタがオンの期間に絶縁バイポーラモードトランジスタをオンさせ、電界効果トランジスタの導通損を低減させることができる。また、絶縁バイポーラモードトランジスタのスイッチングを電界効果トランジスタのオン期間内に限定することにより、絶縁バイポーラモードトランジスタのスイッチング損を低減させることができる。

【0013】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。図1は、本発明のスイッチング電源回路を示す図である。図において、スイッチング電源回路10は、パルス幅制御回路11、ディレイ回路12、論理積回路13、平滑回路14、コンデンサC、電界効果トランジスタ(FET)Q1、絶縁ゲートバイポーラモードトランジスタ(IGBT)Q2及びトランジストORによって構成される。なお、パルス幅制御回路11は出力端子T13、T14から出力される出力電圧を監視して、PWM信号Wpを出力する。ディレイ回路12はこのPWM信号Wpを受けて、所定の時間遅延させた遅延信号Wdを出力する。論理積回路13はPWM信号Wp及び遅延信号Wdを受けて論理積を演算し、この演算結果はスイッチング信号Wsとして出力する。また、平滑回路14は、例えばダイオード、コイル及びコンデンサからなるチョーク入力型平滑回路である。これらのパルス幅制御回路11、ディレイ回路12、論理積回路13及び平滑回路14の具体的な回路構成は従来から知られているので説明を省略する。

【0014】入力端子T11、T12には電源として、図示されていない直流電源が接続される。この入力端子T11はトランジストORの一次側端子の一端に接続され、トランジストORの一次側端子の他端は電界効果トランジスタQ1のドレイン側に接続され、さらに電界効果トランジスタQ1のソース側は入力端子T12に接続され、一つの閉回路を構成している。

【0015】また、上記閉回路に並列して、入力端子T11と入力端子T12との間にコンデンサCが接続されている。さらに、トランジストORの一次側端子の他端と入力端子T12との間に、電界効果トランジスタQ1

4

に並列して絶縁ゲートバイポーラモードトランジスタQ2が接続されている。この絶縁ゲートバイポーラモードトランジスタQ2のコレクタ端子はトランジストORの一次側端子の他端に、エミッタ端子は入力端子T12に、それぞれ接続されている。

【0016】なお、電界効果トランジスタQ1は絶縁ゲートバイポーラモードトランジスタQ2と比較してオン抵抗が大きく、かつ、導通状態と遮断状態との遷移に要する時間が十分に大きい。以下、簡単のために、絶縁ゲートバイポーラモードトランジスタQ2のスイッチング時間のみを考慮する。

【0017】次に、パルス幅制御回路11から出力されたPWM信号Wpはディレイ回路12及び論理積回路13に入力される。PWM信号Wpを受けたディレイ回路12は所定の時間、具体的には後述する絶縁ゲートバイポーラモードトランジスタQ2のターンオフ遅延時間と下降時間との和で示される時間だけ遅延させた遅延信号Wdを出力する。このディレイ回路12の出力側は電界効果トランジスタQ1のゲート(gate)側に接続されて

いるので、上記遅延信号Wdは電界効果トランジスタQ1に入力される。同様に、PWM信号Wp及び遅延信号Wdを受けた論理積回路13は、これらの信号の論理積を演算してスイッチング信号Wsとして出力する。また、論理積回路13の出力側は絶縁ゲートバイポーラモードトランジスタQ2のゲート側に接続されているので、上記スイッチング信号Wsは絶縁ゲートバイポーラモードトランジスタQ2に入力される。

【0018】そして、トランジストORの二次側端子は平滑回路14の入力側に接続され、平滑回路14の出力側は出力端子T13、T14に接続されている。この回路構成によって、入力端子T11、T12から入力された直流電圧は、ディレイ回路12から出力される遅延信号Wdによって電界効果トランジスタQ1がスイッチングされ、論理積回路13から出力されるスイッチング信号Wsによって絶縁ゲートバイポーラモードトランジスタQ2がスイッチングされる。この際、PWM信号Wpがオフからオンへ遷移するときは先に電界効果トランジスタQ1がオンし、逆にPWM信号Wpがオンからオフへ遷移するときは先に絶縁ゲートバイポーラモードトランジ

40 タQ2のゲート電圧が低下するとともにコレクタ電圧が低下した後、電界効果トランジスタQ1がオフする。

【0019】したがって、オン抵抗の低い絶縁ゲートバイポーラモードトランジスタQ2を、電界効果トランジスタQ1に並列に接続することによって、導通損を低減させることができる。

【0020】次に、絶縁ゲートバイポーラモードトランジスタQ2のターンオフ遅延時間と下降時間について説明する。図2はターンオフ遅延時間と下降時間を示す図である。この図では、図1に示す絶縁ゲートバイポーラモードトランジスタQ2が±5Vのスイッチング信号W

s をゲート電圧 V_{GE} として受けて動作する場合を示す。【0021】スイッチング信号 W_s の変化に従って、時刻 t_1 にゲート電圧 V_{GE} が $-5V$ からプラス側電圧の 10% 、すなわち $+0.5V$ に達する。また、このゲート電圧 V_{GE} の立ち上がりを受けて、時刻 t_2 に絶縁ゲートバイポーラモードトランジスタ Q2 のコレクタ側からエミッタ側へ流れる電流 I_c がこの最大電流値の 10% に達し、時刻 t_3 にこの最大電流値の 90% に達する。時刻 t_1 と時刻 t_2 との時間間隔はターンオン遅延時間 $t_d(on)$ であり、時刻 t_2 と時刻 t_3 との時間間隔は上昇時間 t_r である。なお、この時コレクタ電圧 V_{CB} は、ゲート電圧 V_{GE} の立ち上がりを受けて立ち下がる。

【0022】また、時刻 t_4 にゲート電圧 V_{GE} が $+5V$ からプラス側電圧の 90% 、すなわち $+4.5V$ に達する。また、このゲート電圧 V_{GE} の立ち下がりを受けて、時刻 t_5 に絶縁ゲートバイポーラモードトランジスタ Q2 を流れる電流 I_c がこの最大電流値の 90% に達し、時間 t_6 にこの最大電流値の 10% に達する。この時刻 t_4 と時刻 t_5 との時間間隔はターンオフ遅延時間 $t_d(off)$ である。なお、この時コレクタ電圧 V_{CB} は、ゲート電圧 V_{GE} の立ち下がりを受けて立ち上がる。また、時刻 t_5 と時刻 t_6 との時間間隔は、下降時間 t_f である。

【0023】次に、本発明のスイッチング電源回路 10 の動作についてタイムチャートを用いて説明する。図3は、図1に示すスイッチング電源回路のタイムチャートである。このタイムチャートはスイッチング電源回路 10 における時間の経過に従って変化する信号を示し、図面上部から PWM 信号 W_p 、遅延信号 W_d 、スイッチング信号 W_s 、電界効果トランジスタ Q1 を流れる電流 I_p 及び絶縁ゲートバイポーラモードトランジスタ Q2 を流れる電流 I_c の各信号を示す。

【0024】時刻 t_{11} で PWM 信号 W_p が立ち上がると、時刻 t_{11} から図2に示すターンオフ遅延時間 $t_d(off)$ と下降時間 t_f の和で示される時間（以下、単に「遅延時間 t_d 」という。）だけ遅れて、時刻 t_{12} に遅延信号 W_d 、スイッチング信号 W_s 及び電流 I_p が立ち上がる。また、電流 I_c は絶縁ゲートバイポーラモードトランジスタ Q2 のスイッチングの遅れのために時刻 t_{13} で立ち上がりを完了する。ここで、電界効果トランジスタ Q1 及び絶縁ゲートバイポーラモードトランジスタ Q2 の導通時におけるドレイン・ソース間電圧、コレクタ・エミッタ間電圧は共に入力直流電源電圧と比較して十分に小さいものとする。この仮定の下では、電界効果トランジスタ Q1 のみが導通しているときの電流値は、絶縁ゲートバイポーラモードトランジスタ Q2 が導通した後に、電界効果トランジスタ Q1 と絶縁ゲートバイポーラモードトランジスタ Q2 とのオン抵抗の比に従って双方に分流した各電流値の和にほぼ等しい。

【0025】そして、時刻 t_{14} で PWM 信号 W_p の立

ち下がりとともに、スイッチング信号 W_s も立ち下がる。また、時刻 t_{13} から遅延時間 t_d だけ遅れて、時刻 t_{14} に遅延信号 W_d が立ち下がる。電流 I_p は時刻 t_{14} で一旦最大電流値になった後、スイッチング信号 W_d に従って $\pm 0A$ になる。電流 I_c は時刻 t_{14} からターンオフ遅延時間 $t_d(off)$ 後電流が低下し始め、時刻 t_{15} で $\pm 0A$ になる。

【0026】同様に、時刻 t_{11} で入力される PWM 信号 W_p と異なるパルス幅が時刻 t_{21} で入力されても、時刻 t_{21} から遅延時間 t_d だけ遅れて、時刻 t_{22} に遅延信号 W_d 、スイッチング信号 W_s 及び電流 I_p が立ち上がる。電流 I_c は絶縁ゲートバイポーラモードトランジスタ Q2 のスイッチングの遅れのために時刻 t_{23} で立ち上がりを完了する。また、時刻 t_{24} で PWM 信号 W_p の立ち下がりとともにスイッチング信号 W_s も立ち下がり、時刻 t_{24} から遅延時間 t_d だけ遅れて、時刻 t_{25} に遅延信号 W_d が立ち下がりを完了する。電流 I_p は時刻 t_{25} で一旦最大電流値になった後、スイッチング信号 W_d に従って $\pm 0A$ になる。電流 I_c は時刻 t_{24} からターンオフ遅延時間 $t_d(off)$ 後電流が低下し始め、時刻 t_{25} で $\pm 0A$ になる。

【0027】こうして、PWM 信号 W_p がオフからオンへ遷移するときは遅延信号 W_d を受けた電界効果トランジスタ Q1 が先にオンし（時刻 t_{12} 、 t_{22} ）、その後絶縁ゲートバイポーラモードトランジスタ Q2 がオンする（時刻 t_{13} 、 t_{23} ）。逆に、PWM 信号 W_p がオンからオフへ遷移するときはスイッチング信号 W_s を受けた絶縁ゲートバイポーラモードトランジスタ Q2 が先にオフし始め（時刻 t_{14} 、 t_{24} ）、その後電界効果トランジスタ Q1 とともにオフするため（時刻 t_{15} 、 t_{25} ）、PWM 信号 W_p のオン・オフによる遷移損を低減させることができる。

【0028】また、オン抵抗が低い絶縁ゲートバイポーラモードトランジスタ Q2 を、電界効果トランジスタ Q1 と並列に接続することによって、導通損を低減させ、出力電圧の低下を防止することができる。

【0029】さらに、遅延時間 t_d をターンオフ遅延時間 $t_d(off)$ と下降時間 t_f の和で示される時間とすることによって、電界効果トランジスタ Q1 がオンしている間に絶縁ゲートバイポーラモードトランジスタ Q2 を確実にオフ動作させることができる。

【0030】以上の説明では、電界効果トランジスタ Q1 のスイッチング時間を「0」として遅延時間 t_d をターンオフ遅延時間 $t_d(off)$ と下降時間 t_f の和で示される時間としたが、これに限ることなく使用される電界効果トランジスタ Q1 及び絶縁ゲートバイポーラモードトランジスタ Q2 の組み合わせに応じて、電界効果トランジスタ Q1 がオンしている間に絶縁ゲートバイポーラモードトランジスタ Q2 を確実にオフ動作させることができ最適な時間に設定してもよい。

【0031】

【発明の効果】以上説明したように本発明では、パルス幅制御回路から出力されたPWM信号を受けたディレイ回路が遅延信号を出力し、論理積回路がスイッチング信号を出し、電界効果トランジスタが遅延信号を受けて直流電圧を断続し、電界効果トランジスタに並列に接続された絶縁ゲートバイポーラモードトランジスタがスイッチング信号を受けて直流電圧を断続するように構成したので、電界効果トランジスタの高速スイッチングにより遷移損を低減させることができ、絶縁ゲートバイポーラモードトランジスタにより導通損を低減させることができる。

【0032】したがって、遷移損及び導通損の低減によって、スイッチング電源回路全体の発熱量も低減できるため、放熱器の体積を削減することができる。

【図面の簡単な説明】

【図1】本発明のスイッチング電源回路を示す図である。

【図2】蓄積時間と下降時間を示す図である。

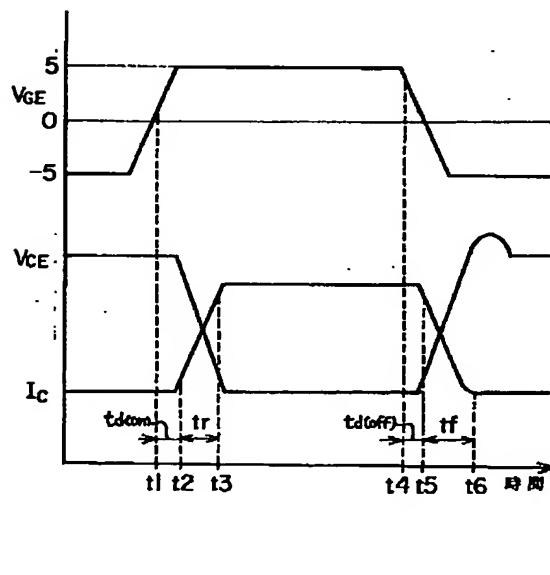
【図3】図1に示すスイッチング電源回路のタイムチャートである。

【図4】従来のスイッチング電源回路を示す図である。

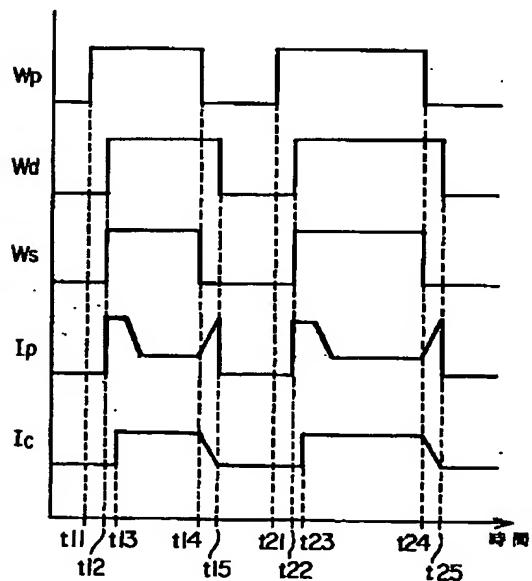
【符号の説明】

- 10 10 スイッチング電源回路
- 11 11 パルス幅制御回路
- 12 12 ディレイ回路
- 13 13 論理積回路
- 14 14 平滑回路
- 10 Q1 FET (Field Effect Transistor; 電界効果トランジスタ)
- Q2 IGBT (Insulated Gate Bipolar mode Transistor; 絶縁ゲートバイポーラモードトランジスタ)
- TR トランス
- C 平滑コンデンサ
- WP PWM (Pulse Width Modulation; パルス幅変調) 信号
- WD 遅延信号
- WS スイッチング信号

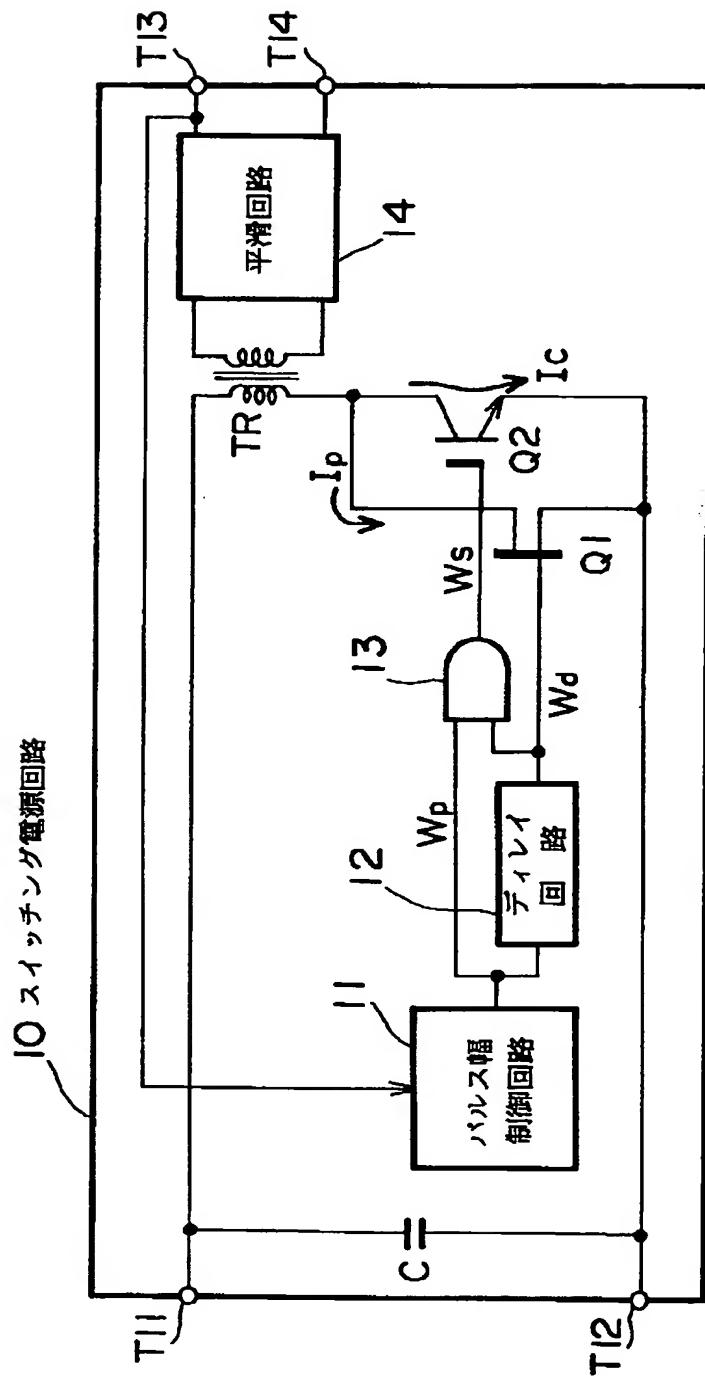
【図2】



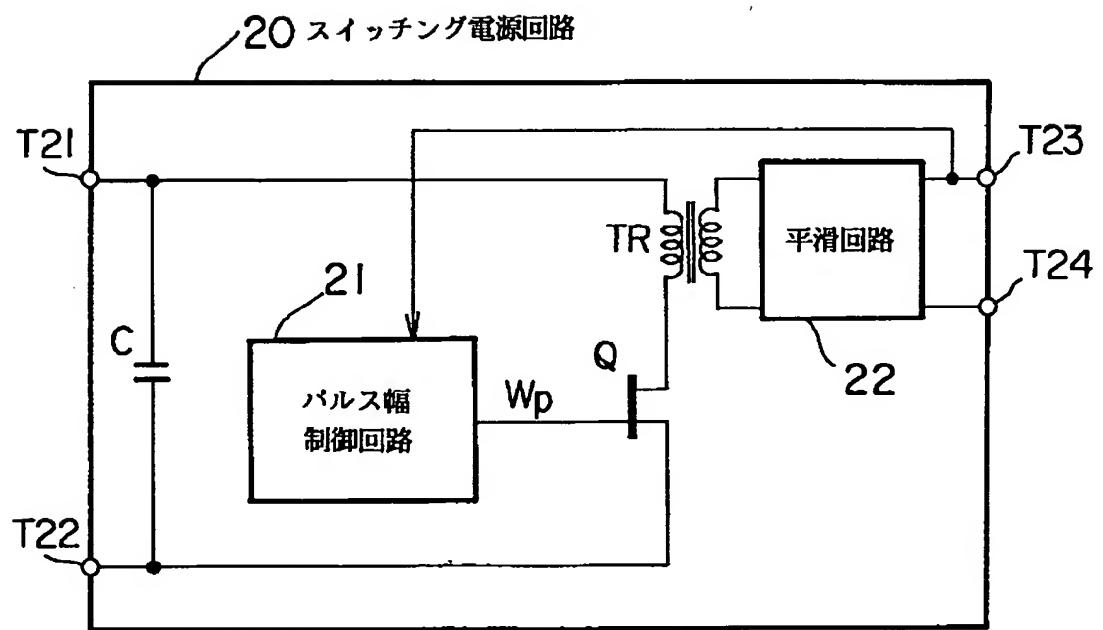
【図3】



【図1】



【図4】



Disclaimer:

This English translation is produced by machine translation and may contain errors. The JPO, the NCIPI, and those who drafted this document in the original language are not responsible for the result of the translation.

Notes:

1. Untranslatable words are replaced with asterisks (****).
2. Texts in the figures are not translated and shown as it is.

Translated: 03:07:03 JST 04/29/2006

Dictionary: Last updated 04/27/2006 / Priority: 1. Electronic engineering / 2. Mathematics/Physics / 3. Chemistry

CLAIMS

[Claim(s)]

[Claim 1] In the switching power supply circuit which transforms and outputs direct current voltage according to a PWM (Pulse Width Modulation; pulse duration modulation) signal The pulse width control circuit which outputs a PWM signal, and the delay circuit which outputs the delay signal with which only predetermined time delayed said PWM signal, The AND circuit which takes AND of said PWM signal and said delay signal, and is outputted as a switching signal, The field-effect transistor which is intermittent in direct current voltage in response to said delay signal (FET;Field Effect Transistor), The insulated gate bipolar mode transistor which is connected to said field-effect transistor and parallel, and is intermittent in said direct current voltage in response to said switching signal (IGBT;Insulated Gate Bipolar mode Transistor), The switching power supply circuit characterized by ****(ing).

[Claim 2] Said delay circuit is a switching power supply circuit according to claim 1 characterized by constituting said predetermined time so that it may be the sum of the turn-off time delay of said insulated gate bipolar mode transistor, and fall time.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Industrial Application] This invention relates to the switching power supply circuit which transforms and outputs direct current voltage according to a PWM (Pulse Width Modulation; pulse duration modulation) signal especially about the switching power supply circuit of stabilized power supply.

[0002]

[Description of the Prior Art] By one field-effect transistor (FET;Field Effect Transistor) which received the PWM signal outputted from a pulse width control circuit, the conventional

switching power supply circuit was intermittent direct current voltage, and was outputting [direct current voltage].

[0003] Drawing 4 is the figure showing the conventional switching power supply circuit. The switching power supply circuit 20 is constituted by the pulse width control circuit 21, the smoothing circuit 22, Capacitor C, field-effect transistor Q, and Torrance TR in a figure. In addition, the pulse width control circuit 21 supervises the output terminal T23 and the output voltage outputted from T24, and is PWM signal Wp. It outputs. Moreover, the smoothing circuit 22 is a choke input type smoothing circuit which consists of a diode, a coil, and a capacitor, for example. Since the concrete circuit configuration of these pulse width control circuits 21 and the smoothing circuit 22 is known from the former, it omits explanation.

[0004] The direct current power supply which is not illustrated is connected to the input terminal T21 and T22 as a power supply. This input terminal T21 is connected to the end of the primary side terminal of Torrance TR. The other end of the primary side terminal of Torrance TR is connected to the drain (drain) side of field-effect transistor Q, further, it connects with the input terminal T22, and the source (source) side of field-effect transistor Q constitutes one closed circuit. In addition, in the gate (gate) side of field-effect transistor Q, it is PWM signal Wp. The pulse width control circuit 21 to output is connected.

[0005] Moreover, it stands in a row in the above-mentioned closed circuit, and Capacitor C is connected between the input terminal T21 and the input terminal T22. And the secondary terminal of Torrance TR is connected to the input side of the smoothing circuit 22, and the output side of the smoothing circuit 22 is connected to the output terminal T23 and T24.

[0006] The direct current voltage inputted from the input terminal T21 and T22 by this circuit configuration is PWM signal Wp outputted from the pulse width control circuit 21. It is switched by field-effect transistor Q. Moreover, according to switching of field-effect transistor Q, the direct current voltage by the side of an input is changed in Torrance TR, and direct current voltage is outputted from the output terminal T23 and T24 through the smoothing circuit 22. Since this switching is performed at comparatively high speed, it is PWM signal Wp. Changes loss generated at the time of the standup of direct current voltage and changes of falling is comparatively small.

[0007]

[Problem to be solved by the invention] However, since the on resistance between a drain side edge child and a source side edge child was high, flow loss in which the direct current voltage of the part descends had produced field-effect transistor Q. For this reason, when the current value was raised, there was a problem of it becoming impossible to disregard loss by flow loss.

[0008] This invention is made in view of such a point, and it aims at offering the switching power supply circuit which reduces loss by flow loss while switching at high speed.

[0009]

[Means for solving problem] In the switching power supply circuit which transforms and outputs direct current voltage according to a PWM (Pulse Width Modulation; pulse duration modulation) signal in order to solve the above-mentioned technical problem in this invention The pulse width control circuit which outputs a PWM signal, and the delay circuit which outputs the delay signal with which only predetermined time delayed said PWM signal, The AND circuit which takes AND of said PWM signal and said delay signal, and is outputted as a switching signal, The field-effect transistor which is intermittent in direct current voltage in response to said delay signal (FET;Field Effect Transistor), The insulated gate bipolar mode transistor which is connected to said field-effect transistor and parallel, and is intermittent in said direct current voltage in response to said switching signal (IGBT;Insulated Gate Bipolar mode Transistor), The switching power supply circuit characterized by ****(ing) is offered.

[0010]

[Function] The delay circuit which received the PWM signal outputted from the pulse width control circuit delays only predetermined time, and is outputted as a delay signal. Moreover, an AND circuit takes AND of a PWM signal and a delay signal, and outputs it as a switching signal. And a field-effect transistor is intermittent in direct current voltage in response to a delay signal, and the insulated gate bipolar mode transistor connected to this field-effect transistor and parallel is intermittent in direct current voltage in response to a switching signal.

[0011] By this composition, when a PWM signal changes from OFF to ON, a field-effect transistor (FET) turns on previously. Conversely, when a PWM signal changes from ON to OFF, while the gate voltage of an insulated gate bipolar mode transistor (IGBT) falls previously, after collector voltage falls, a field-effect transistor turns off.

[0012] This insulated gate bipolar mode transistor has low saturation voltage as well as BJT (Bipolar Junction Transistor), and its switching speed is slow. For this reason, by combining with a field-effect transistor, a field-effect transistor can make the period of ON able to turn on an insulating bipolar mode transistor, and can reduce flow loss of a field-effect transistor. Moreover, the switching loss of an insulating bipolar mode transistor can be reduced by limiting switching of an insulating bipolar mode transistor within the ON period of a field-effect transistor.

[0013]

[Working example] One example of this invention is hereafter explained based on Drawings. Drawing 1 is the figure showing the switching power supply circuit of this invention. In a figure, the switching power supply circuit 10 The pulse width control circuit 11, the delay circuit 12, AND circuit 13, the smoothing circuit 14, Capacitor C It is constituted by the field-effect transistor (FET) Q1, the insulated gate bipolar mode transistor (IGBT) Q2, and Torrance TR. In addition, the pulse width control circuit 11 supervises the output terminal T13 and the output

voltage outputted from T14, and is PWM signal Wp. It outputs. The delay circuit 12 is this PWM signal Wp. Received delay signal Wd in which predetermined carried out time delay It outputs. AND circuit 13 is PWM signal Wp. And delay signal Wd Popularity is won, AND is calculated and this operation result is the switching signal Ws. It outputs by carrying out. Moreover, the smoothing circuit 14 is a choke input type smoothing circuit which consists of a diode, a coil, and a capacitor, for example. Since the concrete circuit configuration of these pulse width control circuits 11, the delay circuit 12, AND circuit 13, and the smoothing circuit 14 is known from the former, it omits explanation.

[0014] The direct current power supply which is not illustrated is connected to the input terminal T11 and T12 as a power supply. This input terminal T11 is connected to one end of the primary side terminal of Torrance TR, the other end of the primary side terminal of Torrance TR is connected to the drain side of the field-effect transistor Q1, further, it connects with the input terminal T12, and the source side of the field-effect transistor Q1 constitutes one closed circuit.

[0015] Moreover, it stands in a row in the above-mentioned closed circuit, and Capacitor C is connected between the input terminal T11 and the input terminal T12. Furthermore, between the other end of the primary side terminal of Torrance TR, and the input terminal T12, it stands in a row in the field-effect transistor Q1, and the insulated gate bipolar mode transistor Q2 is connected. The collector terminal of this insulated gate bipolar mode transistor Q2 is connected to the other end of the primary side terminal of Torrance TR, and the emitter terminal is connected to the input terminal T12, respectively.

[0016] In addition, the field-effect transistor Q1 has large on resistance as compared with the insulated gate bipolar mode transistor Q2, and its time which changes with switch-on and a cut off state take is small enough. Hereafter, since it is easy, only the switching time of the insulated gate bipolar mode transistor Q2 is taken into consideration.

[0017] Next, PWM signal Wp outputted from the pulse width control circuit 11 It is inputted into the delay circuit 12 and AND circuit 13. PWM signal Wp The received delay circuit 12 is the delay signal Wd which delayed only the time shown predetermined time by the sum of the turn-off time delay of the insulated gate bipolar mode transistor Q2 and fall time which are specifically mentioned later. It outputs. Since it connects with the gate (gate) side of the field-effect transistor Q1, the output side of this delay circuit 12 is the above-mentioned delay signal Wd. It is inputted into the field-effect transistor Q1. Similarly it is PWM signal Wp. And delay signal Wd AND circuit 13 which won popularity calculates AND of these signals, and is the switching signal Ws. It outputs by carrying out. Moreover, since it connects with the gate side of the insulated gate bipolar mode transistor Q2, the output side of AND circuit 13 is the above-mentioned switching signal Ws. It is inputted into the insulated gate bipolar mode transistor Q2.

[0018] And the secondary terminal of Torrance TR is connected to the input side of the smoothing circuit 14, and the output side of the smoothing circuit 14 is connected to the output terminal T13 and T14. [with this circuit configuration / the input terminal T11 and the direct current voltage inputted from T12] Delay signal Wd outputted from the delay circuit 12 Switching signal Ws which the field-effect transistor Q1 is switched and is outputted from AND circuit 13 The insulated gate bipolar mode transistor Q2 is switched. Under the present circumstances, PWM signal Wp When changing from OFF to ON, the field-effect transistor Q1 turns on previously. Conversely, PWM signal Wp When changing from ON to OFF, while the gate voltage of the insulated gate bipolar mode transistor Q2 falls previously, after collector voltage falls, the field-effect transistor Q1 turns off.

[0019] Therefore, flow loss can be reduced by connecting the low insulated gate bipolar mode transistor Q2 of on resistance in parallel with the field-effect transistor Q1.

[0020] Next, the turn-off time delay and fall time of the insulated gate bipolar mode transistor Q2 are explained. Drawing 2 is the figure showing a turn-off time delay and fall time. Switching signal Ws whose insulated gate bipolar mode transistor Q2 shown in drawing 1 is **5V in this figure Popularity is won as gate voltage VGE and the case where it operates is shown.

[0021] Switching signal Ws According to change, the gate voltage VGE reaches 10% of the plus side voltage, i.e., +0.5V, from -5V at time t1. Moreover, current Ic which flows into the emitter side from the collector side of the insulated gate bipolar mode transistor Q2 at time t2 in response to the standup of this gate voltage VGE 10% of this maximum current value is reached, and 90% of this maximum current value is reached at time t3. The interval of time t1 and time t2 is the turn-on time delay td (on). Being, the interval of time t2 and time t3 is the rise time tr. It is. In addition, the collector voltage VCE falls in response to the standup of the gate voltage VGE at this time.

[0022] Moreover, the gate voltage VGE reaches 90% of the plus side voltage, i.e., +4.5V, from +5V at time t4. Moreover, current Ic which flows into time t5 through the insulated gate bipolar mode transistor Q2 in response to falling of this gate voltage VGE 90% of this maximum current value is reached, and 10% of this maximum current value is reached at time t6. The interval of this time t4 and time t5 is the turn-off time delay td (off). In addition, the collector voltage VCE rises in response to falling of the gate voltage VGE at this time. Moreover, the interval of time t5 and time t6 is the fall time tf. It is.

[0023] Next, operation of the switching power supply circuit 10 of this invention is explained using a time chart. Drawing 3 is the time chart of the switching power supply circuit shown in drawing 1 . This time chart shows the signal which changes according to progress of the time in the switching power supply circuit 10. Current I_p which flows through PWM signal Wp, the delay signal Wd, switching signal Ws, and the field-effect transistor Q1 from the upper part of Drawings And current Ic which flows through the insulated gate bipolar mode transistor Q2

Each signal is shown.

[0024] It is PWM signal Wp at time t11. The turn-off time delay td (off) and fall time tf which are shown in drawing 2 from time t11 when it rises Time shown by peace (-- it is only hereafter called "the time delay td".) -- only -- being behind -- time t12 -- the delay signal Wd and switching signal Ws And current Ip It rises. Moreover, current Ic A standup is completed at time t13 for the delay of switching of the insulated gate bipolar mode transistor Q2. Here, voltage between drain sources at the time of the flow of the field-effect transistor Q1 and the insulated gate bipolar mode transistor Q2 and collector to emitter voltage are taken as a thing small enough as compared with both input direct current power supply voltage. [a current value when only the field-effect transistor Q1 has flowed] under this assumption After the insulated gate bipolar mode transistor Q2 flows, it is almost equal to the sum of each current value shunted toward both sides according to the ratio of the on resistance of the field-effect transistor Q1 and the insulated gate bipolar mode transistor Q2.

[0025] And it is PWM signal Wp at time t14. In falling, it is the switching signal Ws. It falls. moreover, time t13 to time delay td only -- being behind -- time t14 -- delay signal Wd It falls. Current Ip Once reaching a maximum current value at time t14, it is set to **0A according to the switching signal Wd. Current Ic Turn-off time delay td (off) back current begins to fall from time t14, and it is set to **0A at time t15.

[0026] PWM signal Wp which similarly is inputted at time t11 even if different pulse width is inputted at time t21 -- time t21 to time delay td only -- being behind -- time t22 -- the delay signal Wd and switching signal Ws And current Ip It rises. Current Ic A standup is completed at time t23 for the delay of switching of the insulated gate bipolar mode transistor Q2. moreover, the time t24 -- PWM signal Wp falling -- switching signal Ws falling -- time t24 to time delay td only -- being behind -- time t25 -- delay signal Wd Falling is completed. Current Ip Once reaching a maximum current value at time t25, it is set to **0A according to the switching signal Wd. Current Ic Turn-off time delay td (off) back current begins to fall from time t24, and it is set to **0A at time t25.

[0027] In this way, PWM signal Wp When changing from OFF to ON, it is the delay signal Wd. The received field-effect transistor Q1 turns on previously (time t12, t22), and the insulated gate bipolar mode transistor Q2 turns on after that (time t13, t23). On the contrary, PWM signal Wp The insulated gate bipolar mode transistor Q2 which received the switching signal Ws when changing from ON to OFF begins (time t14, t24) to turn off previously. Since it turns off with the field-effect transistor Q1 after that (time t15, t25), it is PWM signal Wp. The changes loss by on--off can be reduced.

[0028] Moreover, when on resistance connects the low insulated gate bipolar mode transistor Q2 in parallel with the field-effect transistor Q1, flow loss can be reduced and the fall of output voltage can be prevented.

[0029] Furthermore, time delay td The turn-off time delay td (off) and fall time tf By considering it as the time shown by peace, while the field-effect transistor Q1 turns on, OFF operation of the insulated gate bipolar mode transistor Q2 can be carried out certainly.

[0030] In the above explanation, switching time of the field-effect transistor Q1 is set to "0", and it is the time delay td . The turn-off time delay td (off) and fall time tf although it was considered as the time shown by peace It responds to the combination of the field-effect transistor Q1 used without restricting to this, and the insulated gate bipolar mode transistor Q2. While the field-effect transistor Q1 turns on, you may set the insulated gate bipolar mode transistor Q2 as the optimal time which can carry out OFF operation certainly.

[0031]

[Effect of the Invention] The delay circuit which received the PWM signal outputted from the pulse width control circuit in this invention as explained above outputs a delay signal. An AND circuit outputs a switching signal and a field-effect transistor is intermittent in direct current voltage in response to a delay signal. Since it constituted so that the insulated gate bipolar mode transistor connected in parallel with a field-effect transistor might be intermittent in direct current voltage in response to a switching signal Changes loss can be reduced by the fast switching of a field-effect transistor, and flow loss can be reduced with an insulated gate bipolar mode transistor.

[0032] Therefore, since the calorific value of the whole switching power supply circuit can also be reduced, the volume of a radiator is reducible with reduction of changes loss and flow loss.

[Translation done.]